



1^{er} Coloquio en Electrónica y Analógica y Digital (COLEAD 2017)

16 - 17 de noviembre 2017

PROGRAMA TÉCNICO

JUEVES 16 DE NOVIEMBRE	
8:00 - 9:00	Registro y entrega de kit de bienvenida
8:30 - 9:00	Bienvenida y presentación de los patrocinadores
Sesión I: Comunicaciones	
9:00 - 9:20	<p>Interfaz de Comunicación para una red de interconexión de terminales Configurable de Múltiples Usos F. Hermosillo-Reynoso, L. A. Luna-Rodríguez, G. Gutiérrez-Ramos, D. L. Torres-Román, S. Ortega-Cisneros Cinvestav-Guadalajara</p> <p><i>Resumen</i> — Se presenta el diseño de una interfaz de control para una red de interconexión de terminales flexible y configurable para múltiples propósitos implementado en un procesador Nios II/f embebido en una FPGA. Es novedosa la inclusión de una interfaz gráfica como una herramienta que facilite la interacción del hardware con el usuario, añadiendo funcionalidades de configurabilidad y flexibilidad en las asignaciones y liberaciones sucesivas o simples de conexiones entre diferentes canales asociados a los usuarios o dispositivos del sistema.</p>
9:25 - 9:45	<p>Modelado en HDL de una Red de Interconexión de Terminales Flexibles y Configurable de Múltiples Usos L. A. Luna-Rodríguez, G. Gutiérrez-Ramos, F. Hermosillo-Reynoso, S. Ortega-Cisneros, D. L. Torres-Román Cinvestav-Guadalajara</p> <p><i>Resumen</i> — En este trabajo se presenta el diseño de una red de interconexión de terminales flexible y configurable en FPGA para múltiples propósitos y con la capacidad de emplear diferentes protocolos, la misma emplea tanto principios de las redes basadas en la conmutación de canales, así como de aquellas basadas en la conmutación de paquetes. Es novedoso que la asignación y liberación de recursos se haga a través de software en un NIOS II y una interfaz gráfica, a fin de que conexiones sucesivas puedan dar lugar a un procesamiento de los datos por los usuarios o dispositivos de manera más general que cuando se emplean las redes para los servicios clásicos de voz y/o datos.</p>
9:50 - 10:10	<p>Análisis de Modulador de Señales de Baja Frecuencia para Sistemas de Comunicación Inalámbrica Implementado sobre Circuitos Lógicos Programables ^{1,2}Ilich Guerrero-Linares, ¹David Rivera-Orozco, ²Alberto García-Osorio ^{1,2}Centro de Enseñanza Técnica Industrial, ²Werner Pegasus</p> <p><i>Resumen</i> — En este artículo se presenta el análisis de Fourier de las señales procesadas por un modulador usado para generar una modulación de amplitud de doble banda lateral (AM-DSB). El objetivo fundamental del artículo consiste en fomentar el uso de este tipo de análisis en aquellos que deseen incursionar por primera en el área del procesamiento de señales o bien para aquellos que deseen fortalecerse en esta área. Aunado al objetivo fundamental también se encuentra la intención de proponer un modulador, que es usado para el análisis, como un eficiente modulador para ser implementado sobre un circuito lógico programable tal como un DSP/FPGA.</p>
10:10 - 11:00	COFFEE BREAK
10:20 - 10:35	<i>MINI TALLER TÉCNICO # 1</i>
10:40 - 10:55	<i>MINI TALLER TÉCNICO # 2</i>

Sesión II: Diseño Analógico	
11:00 - 11:20	<p>Filtrado de Señales Usando Resistores/Amplificadores Digitalmente Programables F. Sandoval-Ibarra Cinvestav-Guadalajara</p> <p><i>Resumen</i> — Se presenta el diseño de sistemas de filtrado usando resistores CMOS programables, aterrizados o flotantes. El diseño, basado en una celda o rama de corriente PPN básica, se dimensionada para su fácil conexión con otras celdas no altere el punto de polarización del circuito bajo diseño. Se muestra la utilidad de su uso en diseño analógico, y se verifican las diversas funciones de procesamiento con simulaciones SPICE. Como ejemplo del uso de la celda se analiza el diseño de un sistema de filtrado activo Sallen-&Key de 2° orden, salida simple, diseñado en una tecnología CMOS 0.5µm ±2.5V.</p>
11:25 - 11:45	<p>Síntesis de un Modulador Sigma-Delta CMOS, Tiempo Continuo de 4^{to} Orden-Una Propuesta de Diseño D. Calderón-Preciado, F. Sandoval-Ibarra Cinvestav-Guadalajara</p> <p><i>Resumen</i>— En la actualidad, la tendencia es usar circuitos digitales para el procesamiento de señales analógicas, siendo éstas una gran cantidad de variables físicas. En la práctica, el proceso de conversión entre el entorno analógico y el procesamiento digital lo realiza un convertidor analógicodigital. Estos circuitos de conversión, cuando se desea integrarlos en silicio, es deseable que sean compatibles con tecnologías de fabricación VLSI, y que en sentido estricto son tecnologías inherentemente digitales. Afortunadamente, desde hace varios años la técnica de conversión adecuada para tal propósito es la modulación sigma-delta. Las ventajas de esta técnica son diversas, siendo la más relevante la reducción en la complejidad del diseño analógico y el evidente traslado de esa complejidad al entorno digital, área de aplicación donde la madurez del diseño es una realidad, y más aún con el escalamiento de la tecnologías CMOS; estrictamente hablando, el diseño analógico no rescata ventaja alguna con el escalamiento de la tecnología, de ahí que su diseño compatible es siempre un reto para el diseñador- Por otro lado, existen dos formas para implementar la modulación sigma-delta, en tiempo continuo y en tiempo discreto. En tiempo continuo la técnica de diseño está basada en la síntesis de filtros RC o g_mC, mientras que en tiempo discreto la técnica es sintetizar redes basadas en capacitores conmutados o corriente conmutada.</p>
11:50 - 12:10	<p>Importancia de Saber Realizar un Empalme de Fibra Óptica para un Ingeniero Electrónico G. Suárez-Lizarraga, F. Cañedo-García Instituto Tecnológico de Mazatlán</p> <p><i>Resumen</i> — En este documento se describe cómo se dio la gestión de la vinculación entre la Academia de Electrónica del Instituto Tecnológico de Mazatlán y la empresa TELMEX para lograr llevar a cabo una práctica de empalme de fibra óptica en sus instalaciones, así como la importancia que tiene esta actividad tanto para la empresa como para la institución educativa. Del mismo modo, se incluye una breve descripción de cómo se realiza dicha práctica.</p>
12:10 - 13:00	COFFEE BREAK
12:20 - 12:35	<i>MINI TALLER TÉCNICO # 3</i>
12:40 - 13:00	<i>MINI TALLER TÉCNICO # 4</i>
13:00 - 14:00	LUNCH



1^{er} Coloquio en Electrónica y Analógica y Digital (COLEAD 2017)

16 - 17 de noviembre 2017

Sesión III: Implementación Digital

14:00 - 14:20	<p>Diseño e Implementación de Control BackStepping en un robot móvil Diferencial Utilizando una Placa de Desarrollo Arduino Antonio Navarrete-Guzmán, Roberto E. López-Díaz, Jorge Sánchez-Buelna Instituto Tecnológico de Tepic</p> <p><i>Resumen</i> — A dynamical nonlinear control, to solve tracking a reference trajectory and path following problems of a nonholonomic mobile robot, is presented. Developed using BackStepping Control (BSC) using many variables of the robot as possible and yet simple for its application in a Arduino board. Results are prove by simulation.</p>
14:25 - 14:45	<p>Implementación en un Circuito Reconfigurable de un Algoritmo de Control Discreto Orientado al Campo de Motores de Inducción Iván Emmanuel-Dueñas García, Jorge Rivera-Dominguez, S. Ortega-Cisneros Cinvestav-Guadalajara</p> <p><i>Resumen</i> — En este trabajo se presenta un controlador discreto orientado al campo para motores de inducción, así como su programación mediante lenguaje de descripción de hardware, y su implementación en una FPGA tipo ZYNQ-7000. Los resultados se comparan con los obtenidos mediante Simulink para comprobar la fiabilidad de la implementación digital.</p>
14:50 - 15:10	<p>Modelado y Control en Tiempo Discreto de un Convertidor Buck-Boost de DC-AC ¹Antonio Navarrete-Guzmán, ¹Jorge Sánchez-Buelna, ²José Florentino-Chavira ¹Instituto Tecnológico de Tepic, ²Centro de Enseñanza Técnica Industrial</p> <p><i>Resumen</i> — This work presents a discrete-time modeling of a Buck-Boost dc-to-dc power converter by means of the symplectic Euler method. Then, on the basis of this model, a discrete-time sliding mode classic is designed in order to force the power converter to behave as a dc-to-ac power converter. Simulation and experimental results are carried on, where the great performance of the proposed methodology is verified.</p>
15:10 - 16:00	COFFEE BREAK
15:45 - 16:00	MINI TALLER TÉCNICO # 5
Sesión IV: Visión Artificial	
16:00 - 16:20	<p>Implementación de una Red Neuronal Convolutiva para la Clasificación de Imágenes Juan Manuel Ruiz Varela, S. Ortega-Cisneros, Jorge Rivera, F. Sandoval-Ibarra Cinvestav-Guadalajara</p> <p><i>Resumen</i> — El gran avance en el desarrollo de Redes Neuronales Convolucionales (CNN) ha llevado a las mejoras de la técnica en cuanto al reconocimiento y clasificación se refiere. Dichas redes son de gran dimensión y complejidad, por tanto requieren de múltiples recursos informáticos para entrenarlas y evaluarlas. En éste trabajo se desarrolla y entrena una Red Neuronal Convolutiva a medida, la cual es capaz de clasificar imágenes de entre diez dígitos diferentes (números). Ésta es desarrollada y entrenada en software, dicha red cuenta con veinte filtros de Convulsión, los cuáles extraen las principales características de las imágenes mediante barridos también conocidos como kernels, éstos entregan una imagen a su salida, la cual es procesada nuevamente por un bloque denominado Max-Pooling. El cual se encarga de realizar operaciones con un kernel diferente para tomar los valores más grandes de la imagen y obtener de esta manera una salida más pequeña y con mayor información de la imagen procesada, posteriormente ésta es reducida y pasa por una nueva etapa denominada ReLU, la cual es encargada de trunca la información entre dos valores de la imagen, la salida es insertada en la última etapa de esta red neuronal, ésta es denominada Fully Connected Layer la cuál desarrolla la clasificación de las imágenes. La Red Neuronal Convolutiva se entrena con una extensa base de datos de dígitos escritos a mano y digitalizados en escala de grises de tamaño 28x28 pixeles cada uno. Ésta es denominada MNIST (Modified National Institute of Standards and Technology) desarrollada para la experimentación en el campo de procesamiento de imágenes aplicadas en el área de Deep Learning.</p>

Utilización de una Retina Neuromórfica en un Sistema de Posicionamiento para un Objeto Bajo Influencia de un Levantador Magnético a través de Dispositivos Reconfigurable

Miguel Rivera-Acosta, S. Ortega-Cisneros, Jorge Rivera, F. Sandoval-Ibarra
Cinvestav-Guadalajara

16:25 - 16:45

Resumen — El Sistema de visión artificial descrito en éste documento se basa en un sensor neuromórfico de reciente desarrollo, el cual ha sido diseñado para aplicaciones visuales que requieran alta velocidad, bajo consumo y bajo costo computacional [1]. Como resultado del trabajo realizado, se presenta un sistema de sensado de posición, utilizando una FPGA (Field Programmable Gate Array), en la cual se implementa un circuito desarrollado con HDL (Hardware Description Language) Verilog. El Hardware diseñado consta fundamentalmente de dos partes: el procesador central, un SoftCore que utiliza una SDRAM (Synchronous Dynamic Random Access Memory) como memoria de instrucciones y datos, que funge como USB Host e implementa los algoritmos para la detección del posicionamiento de un objeto esférico que está bajo la influencia de una fuerza de levitación generado por el sistema MagLev [6]; un acelerador de video, el cual presenta los eventos recibidos del sensor neuromórfico a través del puerto VGA, motivo por el cual se diseñó un DMA (Direct Memory Access) para una memoria de dos puertos, con la finalidad de transmitir los eventos generados por la retina de manera continua y precisa. El objetivo de implementar un acelerador es disminuir la carga al procesador central, ya que el despliegue de video en tiempo real requiere de una transmisión de datos a alta velocidad, y al no tenerlo, representaría un retraso en la recepción de eventos a través del puerto USB y la disminución en el rendimiento del sistema de manera notable.

Implementación de Operaciones Basadas en Álgebra Geométrica con GPUs

Oswaldo Ureña-Ponce, S. Ortega-Cisneros, Eduardo Bayro-Corrochano
Cinvestav-Guadalajara

16:50 - 17:10

Resumen — En este trabajo se propone un método para la aceleración de algoritmos basados en álgebra geométrica (GA) implementadas en unidades de procesamiento gráfico (GPUs) para aplicaciones en robótica, física, matemáticas entre otras aplicaciones. El método propuesto consta de una serie de bibliotecas que pueden ejecutarse tanto en CPU para operaciones secuenciales, y en GPU para código concurrente o con posibilidades de ser segmentados y operar de forma paralela. Se muestra también la implementación de algoritmos de uso en robótica y medicina basados en álgebra geométrica conformal de utilidad para próximas aplicaciones.

Desarrollo de un Sistema de Visión Artificial como Auxiliar en el Cultivo de Peces marinos

J. Bernal-Morales, A. Torres-Morales, G. Suárez-Lizárraga, J. Martínez-Brown
Instituto Tecnológico de Mazatlán (CIAD Unidad Mazatlán)

17:15 - 17:35

Resumen — En este documento se describe el desarrollo de un sistema de visión artificial que utiliza programación en C/C++ y una librería OpenCV, para ayudar en la inspección visual del cultivo de algunas especies de peces marinos que son motivo de investigación en el Centro de Investigación en Alimentación y Desarrollo (CIAD) Unidad Mazatlán. Existen sistemas que buscan automatizar la detección de ciertas características en peces desarrollados, tales como la trucha. Esta propuesta es innovadora, puesto que tiene como base la hipótesis de que se puede predecir la tasa de supervivencia de peces observando los cambios en sus primeras etapas embrionarias. El software utiliza un método diferente y no invasivo, proporciona valores numéricos que permiten la estadística y análisis matemático de ejemplares vivos para determinar calidad y el vigor del pez marino desde sus primeros estadios de vida y de esta manera poder predecir la tasa de supervivencia de una muestra dada. Gracias a ello, este sistema lograría estandarizar el proceso de análisis de embriones debido a que entrega valores numéricos y objetivos, sin necesidad de maquinaria sofisticada ni una costosa inversión.

PROGRAMA TÉCNICO

VIERNES 17 DE NOVIEMBRE

8:00 - 9:00

Registro y entrega de kit de bienvenida

Sesión I: Amplificadores de Potencia de RF

9:00 - 9:20

Metodología para el Desarrollo del Modelo Empírico No-Lineal para el Transistor Empaquetado GaN HEMT CGH40010

D. Ochoa-Armas, I. Lavandera-Hernández, J. R. Loo-Yau
Cinvestav-Guadalajara

Resumen — En este trabajo se describe el procedimiento para obtener el modelo empírico no lineal del transistor empaquetado GaN HEMT CGH40010 (fabricado por CREE). Para su obtención se emplea la característica I/V pulsada del dispositivo, así como los parámetros de dispersión a diferentes puntos de polarización. Para analizar el desempeño del modelo se compararon los parámetros de dispersión y las curvas P_{IN}/P_{OUT} medidas del transistor, con las obtenidas por el modelo. Los resultados muestran que el modelo predice de forma satisfactoria el comportamiento del transistor, con un error absoluto menor al 10% en toda la banda de frecuencias de análisis (1 GHz a 4 GHz). El resultado final es un modelo flexible implementado en una herramienta CAD comercial, que puede ser ajustado por el usuario, capaz de predecir el comportamiento del dispositivo en régimen de pequeña y gran señal.

9:25 - 9:45

Nueva Formulación Teórica para la Obtención de la Impedancia de Carga de un Amplificador de Potencia Clase-J

¹I. Lavandera-Hernández, ¹D. Ochoa-Armas, ¹J. R. Loo-Yau, ²J. A. Reynoso-Hernández
¹Cinvestav-Guadalajara, ²CICESE

Resumen — En este trabajo se desarrolla un análisis teórico para la obtención de la impedancia de carga a la fundamental y al segundo armónico, para un amplificador de potencia de radiofrecuencia Clase-J. El resultado teórico presenta ecuaciones analíticas dependientes de la capacitancia de salida del transistor. La validación de estas impedancias se hace por medio de la obtención de la forma de onda de voltaje y corriente del amplificador de potencia clase-J y comparándola con trabajos previos. Además, los resultados simulados sugieren la posibilidad de diseñar amplificadores de potencia clase-J con mayor potencia de salida, eficiencia con niveles de potencia de entrada más pequeñas.

9:50 - 10:10

Identificación de los Coeficientes de la Series de Volterra y la Series Polinomial con Memoria de Tiempo Discreto Basados en los Algoritmos RLS, LMS, Filtro de Kalman y Pseudo Inversa para el Modelado Comportamental de Amplificadores de Potencia de RF

¹C. E. Lozoya-López, ²J. R. Loo-Yau, ³J. A. Reynoso-Hernández
¹Intel Guadalajara Design Center, ²Cinvestav-Guadalajara, ³CICESE

Resumen — En ese trabajo se presenta la metodología para la obtención de los coeficientes de la serie de Volterra de tiempo discreto y la serie polinomial con memoria de tiempo discreto para el modelado comportamental y su aplicación en linealización de amplificadores de potencia de RF basado en la técnica de pre-distorsión digital. La obtención de los coeficientes de los modelos se realiza por medio de los algoritmos de mínimos cuadrados recursivos, mínimos cuadrados, Filtro de Kalman y el método analítico de la pseudo inversa. El desempeño de los dos modelos basados en los diferentes algoritmos para la obtención de sus coeficientes fueron comparados empleando el amplificador Doherty RTH21007-10 y un amplificador comercial de gama media ZHL-42W, ambos trabajando con una señal LTE de 5 MHz de ancho de banda centrado a 2.1 GHz.

10:10 - 11:00

COFFEE BREAK

10:10 - 10:25

MINI TALLER TÉCNICO # 1

10:30 - 10:45

MINI TALLER TÉCNICO #2

Sesión II: Filtros Digitales

11:00 - 11:20	<p>Implementación de Filtros Adaptables en la Tarjeta Tdsp28335 Orientado a la Cancelación de Ruido Edgar Omar Lara-Alemán, F. Sandoval-Ibarra Cinvestav-Guadalajara</p> <p><i>Resumen</i> — Un problema de salud pública, propia de la modernidad de las sociedades, es el debido a la exposición de ruido. Éste, en lugares abiertos y espacios cerrados degrada la calidad de vida del individuo, y se vuelve un problema para el Estado por cuanto las regulaciones y programas de salud son tarea de su competencia. Sin embargo, si bien el ruido es inherente a la operación de sistemas activados con energía, el frente de onda del ruido puede minimizarse de modo que su magnitud esté por debajo de los umbrales de malestar del individuo. Por lo anterior, en este trabajo se implementan filtros adaptables en la tarjeta TAdsp28335 con el objetivo de incorporarlos en sistemas de control activo de ruido (ANC) y modificar el canal de comunicación. En este desarrollo es de interés determinar cómo afecta el orden de los filtros adaptables en el tiempo de procesamiento del sistema, toda vez que un ANC debe operar en tiempo real.</p>
11:25 - 11:45	<p>Técnicas de Optimización de Algoritmos Digitales a Implementarse en VLSI: Aplicación a un Filtro en Celosía A. Díaz-Rizo, A- Perez-Haro, J. Rivera-Dominguez Cinvestav-Guadalajara</p> <p><i>Resumen</i> — En este trabajo se presentan técnicas de implementación de algoritmos o circuitos digitales para un óptimo diseño de VLSI. Se revisan conceptos como el camino crítico y el límite de iteración, los cuales establecen el tiempo de ejecución, y el tiempo más bajo permisible por un circuito digital respectivamente. Se revisa la técnica de retemporización por conjunto de corte, la cual cambia la ubicación de los retardos para reducir el camino crítico. La metodología de desdoblamiento se presenta como una técnica que permite crear un nuevo algoritmo capaz de realizar más de una iteración del algoritmo original. Estos conceptos y técnicas son aplicados a un filtro FIR digital en celosía en el cual se logra reducir el tiempo del camino crítico en un 83.3%.</p>
11:50 - 12:10	<p>Diseño de una Red Neuronal Configurable y Matriz Hk para Implementación de Filtro de Kalman Extendido en FPGA J. A. Rentería-Cedano, J. R. Loo-Yau, S. Ortega-Cisneros Cinvestav-Guadalajara</p> <p><i>Resumen</i> — En este documento se presenta una arquitectura en un FPGA Virtex-6 de Xilinx, con capacidades de reproducir la función de transferencia de diferentes configuraciones de redes neuronales multicapa (MFNN) y el cálculo de la matriz jacobiana (H_k) empleada en el algoritmo Filtro de Kalman Extendido (FKE). Esta arquitectura configurable se basa en una neurona simple, multiplexores, y bloques de memoria que provee la capacidad de enrutar la información hacia las entradas de las neuronas o salidas de la red. El proceso de configuración es realizado por medio del protocolo RS-232 con baudrate configurable que permite modificar el número de vectores de entrada y sus retardos, número de capas y neuronas por capa, así como la capacidad de seleccionar una función de umbral diferente por cada capa del cual se tiene un set de las 5 funciones más comunes. La finalidad es emplear diferentes arquitecturas de MFNN que permitan modelar la respuesta de un amplificador de potencia GaN clase F, empleando una señal LTE a 2.1 GHz con un ancho de banda de 5 MHz.</p>
13:00 - 14:00	LUNCH
14:00 - 16:00	COMPETENCIA ESTUDIANTIL: DISEÑO DE OSCILADORES
15:35 - 16:00	COFFEE BREAK
15:45 - 16:00	MINI TALLER TÉCNICO #3
16:00 - 17:00	<p style="text-align: center;">Criptografía Ligera para Servicios de Seguridad en Dispositivos Restringidos Dr. Arturo Díaz Pérez Director Cinvestav-Unidad Cd. Victoria</p>
17:45 - 22:00	<p>Ceremonia de Aniversario del Cinvestav-Guadalajara - Premiación al Ganador del Concurso Estudiantil y Cocktail</p>